

40나노의 알테라:

지터, 신호 무결성, 전력, 프로세스 최적화 트랜시버

알테라의 Stratix IV GX FPGA는 40nm 기술을 기반으로 한다. 코어 로직 패브릭이 최고 570K 로직 엘리먼트를 제공하므로 대형의 SoC FPGA 디자인 및 애플리케이션을 가능하게 한다. 고속 트랜시버는 최고 48채널 용량의 쿼드 토폴로지를 이용해서 최고 8.5Gbps의 레인 데이터 레이트를 지원한다. 요컨대 알테라의 Stratix IV GX FPGA는 가장 높은 밀도, 가장 높은 성능, 가장 낮은 전력을 제공한다.

자료제공 : 알테라
www.altera.com

연재

- ① 개요 및 40nm 프로세스 노드 및 트랜시버, 아키텍처
- ② 혼성신호 클럭 복귀
- ③ 첨단 클럭 및 타이밍 발생, 전력 및 지터

반도체 산업의 기술 발전은 주로 집적회로의 트랜지스터 수가 대략 매 2년마다 두 배로 늘어난다고 하는 무어의 법칙과 디바이스 또는 시스템 사이의 통신 링크의 더 높은 데이터 레이트 요구에 의한 것이다. 무어의 법칙은 선폭 크기 또는 프로세스 노드 축소에 의해 가능해진다. 축소된 선폭은 더 높은 성능, 더 높은 동작 속도, 로직 밀도, 집적도, 낮은 전력 소비를 가능하게 한다.

더 높은 데이터 레이트는 첨단 설계 방법론 및 프로세스 기술을 이용해서 달성되며 유선 및 무선 통신, 컴퓨터, 스트리지, 군용, 방송 전자 시스템이 갈수록 높아지는 데이터 전송 또는 대역폭 요구를 충족하기 위해 대량의 데이터를 전송하고 수신할 수 있도록 한다.

마이크로프로세서와 FPGA 같은 첨단 제품에 65nm 프로세스 기술이 이용되는 것을 볼 수 있다. 이들 제품의 차세대

제품들은 올해부터 이용할 수 있게 된 45nm 또는 40nm 프로세스를 이용할 것이다. 선폭 크기가 축소되면 트랜지스터의 채널 길이가 축소되고 로직 게이트의 인터커넥트가 축소됨으로써 스위치 시간을 빠르게 하고 인터커넥트 전송 지연을 감소시킨다. 이러한 프로세스 노드 축소의 결과들은 로직 연산, 높은 밀도, 고속 데이터 전송의 측면에서 바람직하다. 전력 소비 효율을 위해서 적합하기 때문이다.

오늘날 대다수 첨단 트랜시버의 데이터 레이트는 통신과 입력/출력(I/O) 표준의 경우에 5~6Gbps 대이다. 그러한 표준들의 긴 목록의 일부로서 네트워크 통신을 위한 CEI/OIF 6G, 2X XAUI(6.25Gbps), 컴퓨터 I/O 버스를 위한 PCIe 2.0(5Gbps), SAN(storage area network)를 위한 SATA III/SAS II(6Gbps)를 들 수 있다.

알테라의 Stratix IV GX FPGA는 40nm 기술을 기반으로 한다. 코어 로직 패브릭이 최고 570K 로직 엘리먼트를 제공하므로 대형의 SoC FPGA 디자인 및 애플리케이션을 가능하게 한다. 고속 트랜시버는 최고 48채널 용량의 쿼드 토폴로지를 이용해서 최고 8.5Gbps의 레인 데이터 레이트를 지원한다. 요컨대 알테라의 Stratix IV GX FPGA는 가장 높은 밀도, 가장 높은 성능, 가장 낮은 전력을 제공한다. 40nm의 이점, 검증된 트랜시버, 메모리 인터페이스 기술을 이용해서 Stratix IV GX FPGA는 우수한 신호 무결성으로 이전에 불가능했던 수준의 시스템 대역폭을 제공한다. Stratix IV GX FPGA를 하드카피 IV ASIC과 결합함으로써 매끄러

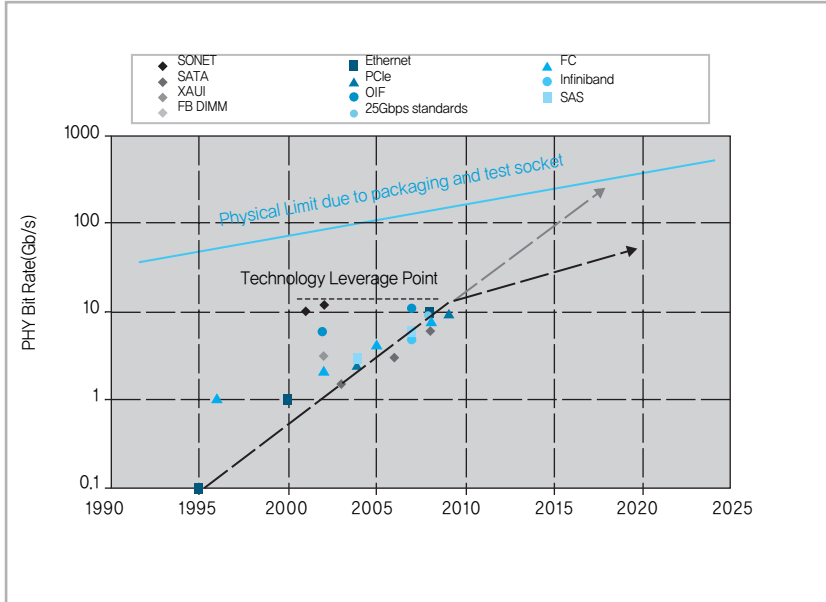


그림 1. 고속 I/O 링크의 평균 데이터 레이트⁽¹⁾

(1) 출처: ITRS 2007

운 프로토타입 개발을 통해서 FPGA와 ASIC의 이점을 모두 활용할 수 있다.

이 글에서는 Stratix IV GX FPGA의 성능, 용량, 목표 애플리케이션에 대해서 기술적으로 상세히 설명하고자 한다. <2. 고속 링크의 동향 및 요구>에서는 새로운 고속 I/O 인터페이스 표준(PCIe2.0, 하이퍼 트랜스포트 3.0(HT 3.0), 인터라켄, Common Public Radio Interface(CPRI), SERDES 프레임 인터페이스 레벨 5(SFI-5))을 포함해서 고속 트랜시버의 기술, 시장, 애플리케이션 동향, 요구에 대해 살펴본다. <3. 40nm 프로세스 노드 및 트랜시버>에서는 Stratix IV GX FPGA의 특징 및 성능과 이들 디바이스가 어떻게 기술 및 표준의 요구를 충족하거나 초과하는지 살펴본다. <4. 아키텍처>에서는 고속 링크 및 트랜시버 프로세스 노드와 아키텍처의 고유의 특징, 기술 이점, 성능 지수를 살펴본다. <5. 혼성신호 클록 복구>에서는 CRC(clock recovery circuit)에 대해서, <6. 단대단 균등화>에서는 트랜스미터 및 리시버 균등화에 대해서 다룬다. <7. 첨단 클록 및 타이밍 생성>에서는 다양한 유형의 발진기에 대해 다룬다. <8. 전력 및 지터>에서는 BIST(built-in-self-test-jitter), 잡음, 신호 무결성, BER(비트 에러율), 전력 관리 및 전력 무결성, 정밀 타이밍

생성 회로, 고속 표준의 지원에 대해 다룬다. <9. 결론>에서는 글을 요약하고 결론을 제시한다.

고속 링크의 동향 및 요구

이 장에서는 고속 I/O 링크의 기술적 동향 및 요구에 대해 살펴보고, 해당되는 시장 및 애플리케이션에 대해 조망해 본다.

기술 동향 및 과제

그림 1에서 보듯이 전세계 반도체 기술 로드맵(ITRS)은 갈수록 더 높은 대역폭 및 더 높은 데이터 레

이트가 요구됨에 따라서 2000년 이후로 시스템온칩(SoC) 타입 IC에서 단일 레인 데이터 레이트와 I/O를 위한 핀 수 모두 증가했다고 한다. ITRS의 2007년도 개정판에 의하면 대부분의 고속 I/O 인터페이스 데이터 레이트가 매 2년에서 3년마다 두 배로 증가하고 2008년에는 5~6Gbps에 달할 것이라고 한다. 이러한 전망은 시장에 나와 있는 고속 I/O 디바이스의 현실과 역사적 데이터와 정확히 일치한다. 이들 멀티 Gbps 고속 I/O 인터페이스는 데이터 통신 및 원격통신 네트워크(기가비트 이더넷(GbE), OIF(옵티컬 인터넷워킹 포럼), SFI(인터라켄 등), 컴퓨팅 I/O(PCIe 등), 스토리지 에이리어 네트워킹(SATA, Fibre Channel 등), 무선 네트워킹(CPRI 등), 임베디드 프로세싱(Serial RapidIO(SRIO) 등)의 분야에서 칩-칩, 보드-보드, 시스템-시스템 링크에 이용된다. 대다수 고속 표준의 차세대 I/O 디바이스들이 전 세대와 유사한 데이터 레이트 증가율을 유지할 것으로 예상된다¹⁾.

대다수의 멀티 Gbps 링크 트랜시버는 SERDES(serializer/deserializer)를 이용해서 데이터 비트를 형식화/형식화 해제 및 전송/수신한다. 트랜스미터 측에서는 다수의 병렬 저속(대체적으로 수백 Mbps) 코드화 데이터 라인을 훨씬 높은 데이터 레이트(수 Gbps)의 단일 레인으로 다

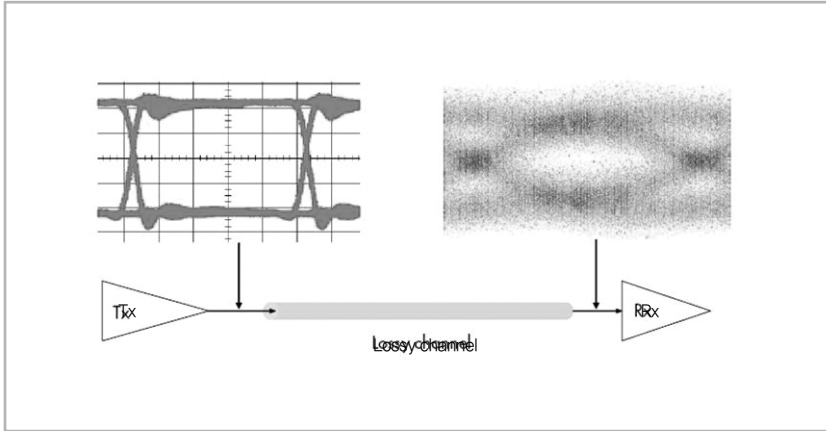


그림 2. 멀티 Gbps로 손실이 높은 채널을 통과할 때의 신호 및 아이 다이어그램 특성

Existing Protocols	Data Rate
PCIe Gen1	2.5Gbps
GbE/TSE	10/100/1000 Mbps
GPON	1.244 Gbps upstream, 2.488 Gbps downstream
Interlaken	4.976 Gbps to 6.375 Gbps
CEI 6G(SR/LR)	4.976 Gbps to 6.375 Gbps
SFI-5.1	2.488 Gbps to 3.125 Gbps
PCI Gen2	5 Gbps
SRIO	1.25 Gbps, 2.5 Gbps, 3.125 Gbps
HiGig2	4.0625 Gbps
SONET(OC3/OC12/OC48)	155.52 Mbps, 622.08 Mbps, 2,488.32 Gbps
XAUI/HiGig/HiGig+	3.125 Gbps, 3.75 Gbps
CPRI v3.0+	614.4 Mbps, 1,228.8 Gbps, 2,457.6 Gbps, 3,072 Gbps
FiberChannel(FC1/FC2/FC4/FC8)	1.0625 Gbps, 2.125 Gbps, 4.25 Gbps, 8.5 Gbps
SDI(SD/HD/3G)	270 Mbps, 1,485 Gbps, 2,97 Gbps
OBSAI v3.1+	768 Mbps, 1,536 Gbps, 3,072 Gbps
PCIe Cable	2.5 Gbps
ASI	270 Mbps
Serial Data Converter(JESD204)	312.5 Mbps to 3.125 Gbps
3-Gbps Basic(Proprietary)	Up to 3.125 Gbps
HT 3.0	2.4 Gbps, 2.8 Gbps, 3.2 Gbps
SerialLite II	See 3-Gbps Basic and 6-Gbps Basic
6-Gbps Basic(Proprietary)	Up to 6.375 Gbps

표 1. Stratix IV GX FPGA가 지원하는 고속 프로토콜 표준

중화 한다. 리시버 측에서는 데이터를 수신하고 송신할 때의 역으로 처리한다. 수신된 단일 레인 데이터를 먼저 복구하고 그런 다음 다수의 병렬 데이터 라인으로 역다중화하고

트랜스미터로 전송된 원래의 데이터 비트를 재조립한다. 훨씬 높은 단일 레인 데이터 레이트에 의해서 고속 SERDES는 저속 동기 병렬 I/O와 비교해 훨씬 적은 수의 I/O 핀, 채널, 관련 채널 부품을 가능하게 한다. 뿐만 아니라 SERDES에서는 레인-레인 스쿠가 더 이상 문제되지 않는다. 각각의 레인이 자체적으로 타이밍되고 서로 비동기이기 때문이다. 셀프 타이밍은 CRC를 이용해서 달성되며 CRC가 클럭을 복구할 뿐만 아니라 저주파 지터를 추적한다.

상호적인 관계에 의해 데이터 레이트가 갈수록 높아짐에 따라서 데이터 비트의 UI(unit interval)는 감소한다. UI는 링크에 이용할 수 있는 총 타이밍 예산으로서 트랜스미터, 리시버, 채널 서브시스템에 해당되는 최소한 3개 요소의 예산으로 이루어진다. 대부분의 멀티 Gbps 표준은 시스템 BER이 10~12 이자가 되도록 요구한다. 만약 UI는 감소하고 BER은 그대로라면 서브시스템이 발생시키는 지터를 그에 상응하게 감소시켜야 한다. 한편 비용 측면에서 고려해야 할 문제로서 데이터 레이트는 높아지고 있는데 PCB와 백플레인 부품들은 변하지 않고 그대로인 부분이다. 동일 부품이라는 것은 동

일하게 손실이 높은 물리적 특성이라는 것을 의미하므로 동일한 채널 부품을 통해서 더 높은 데이터 레이트 신호가 통과할 때 ISI(intersymbol interference)가 악화된다. ISI는

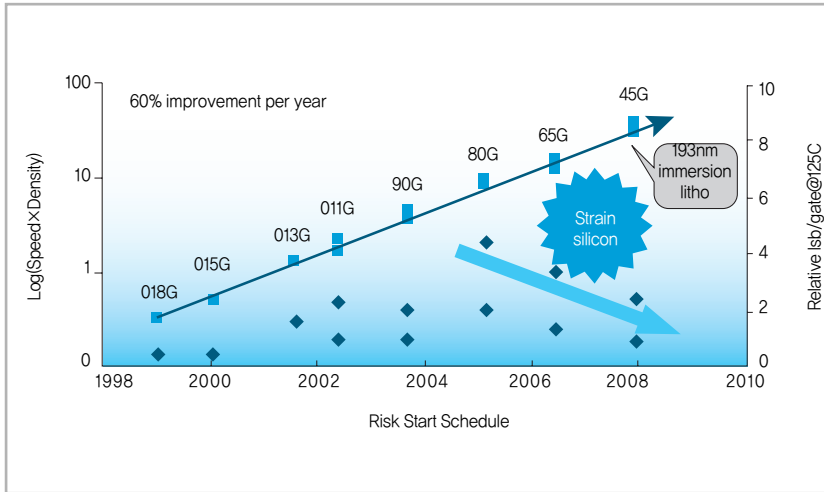


그림 3. TSMC의 프로세스 기술 로드맵

아이 다이어그램이 더 폐쇄적인 것으로 나타나며, 이것은 시간 지터, 진폭 잡음, BER이 더 높다는 것을 의미한다. 동일한 BER 지수를 유지하기 위해서 특정한 데이터 레이트에 대해 UI가 고정적이므로 (채널에 의해 야기된) ISI를 균등화하거나 보정하거나 아니면 (트랜스미터 및 리시버로부터) 지터를 감소시켜야 한다. 그림 2는 고속 신호가 손실이 심한 채널을 통해서 전달될 때 아이 다이어그램이 어떻게 되는지 보여준다.

균등화에는 여러 가지 유형이 있다. 토폴로지의 관점에서는 균등화를 트랜스미터, 리시버, 아니면 둘 다에서 구현할 수 있다. 신호 및 시스템의 관점에서 균등화는 디지털(FIR(finite impulse response)나 IIR(infinite impulse response) 등)이거나 아날로그(CTLE(continuous time linear equalization) 등)이거나, 선형이거나 적응식(DFE(decision-feedback equalization) 등)이다.

각각의 유형의 균등화가 특정한 기능, 이점, 한계를 갖는다. 우수한 발전기 같은 근본적으로 낮은 잡음/지터 부품을 이용함으로써 트랜스미터와 리시버 지터 모두 감소시킬 수 있다. Stratix IV GX의 균등화 기술과 관련 기능 및 이점, CRC와 이의 지터 추적에 대해서는 뒤에서 상세히 설명할 것이다.

지원되는 I/O 프로토콜

Stratix IV GX FPGA는 PCIe 2.0, HT 3.0, 인터라켄, CPRI, SFI-5 등의 새로운 프로토콜을 지원하기 위해 전용 하드웨어 및 IP를 제공한다. 뿐만 아니라 Stratix IV GX FPGA는 유선, 무선, 컴퓨터 및 스토리지, 방송, 군용, 테스트 및 계측, 의료, 자동차, 전자 분야의 다수 애플리케이션을 포괄해서 그 밖의 많은 고속 I/O 표준을 지원한다. 표 1은 Stratix IV GX FPGA가 지원하는 모든 고속 표준을 요약한 것으로

서, 하이라이트로 표시된 것들은 새로 추가된 표준이다.

40nm 프로세스 노드 및 트랜시버

이 장에서는 프로세스 기술 로드맵에 대해 살펴보고, 이어서 미세 서브마이크론(DSM) 효과에 따른 과제 및 솔루션에 대해 살펴보고, 마지막으로 40nm FPGA를 위한 트랜시버 회로에 대해 논의한다.

프로세스 기술 로드맵

그림 3에서 TSMC의 기술 로드맵(2)에서 보듯이 CMOS 기술은 무어의 법칙이 전망한 속도로 계속해서 발전하고 있다.

CMOS 축소는 주로 메모리와 마이크로프로세서 같은 디지털 애플리케이션에 의한 것이다. 메모리는 CMOS 기술에 대해 높은 밀도와 낮은 전력을 요구하며, 마이크로프로세서는 높은 성능과 속도를 요구한다. 아날로그는 두 가지 중요한 이유에서 디지털 프로세스를 이용해야 한다. 첫째, 대다수 IC는 실제로는 디지털 코어, 메모리, 마이크로프로세서 또는 디지털 신호 프로세서, I/O와 A/D 및 D/A 컨버터 같은 아날로그 인터페이스 회로, PLL(phase-locked loop), 트랜시버를 통합한 SoC이다. 하지만 대부분의 SoC가 그렇듯 디

지털 회로가 다이 면적의 대부분을 차지하므로 기술 선택을 좌우한다. 둘째, 특수한 RF 및 아날로그 프로세스는 가격이 더 비싸고 통상적으로 일반적 디지털 프로세스보다 나중에 제공된다.

프로세스 노드 축소에 따른 아날로그의 과제

실리콘이 계속해서 축소됨에 따라서 아날로그 디자인은 헤드룸, 이득, 누설, DSM 효과 및 그에 따른 모델링, 변동, 불일치를 포함해서 여러 가지 새로운 과제에 직면하고 있다.

- 헤드룸

두 가지 요인에 의해서 전원 전압이 낮아지고 있다. ESD(electrostatic discharge) 및 EM(electron migration) 때문에 낮은 전원 전압이 요구됨에 따라서 선폭 크기가 갈수록 축소되고 있으며, 한편 HCI(hot carrier injection), NBTI(negative bias temperature instability), TDDB(time-dependent dielectric breakdown)와 같은 그 밖의 효과들이 전원 전압을 낮은 레벨로 제한하고 있다. 뿐만 아니라 낮아진 전원 전압은 $P = CV^2f$ 라고 하는 잘 알려진 공식에 따라서 디지털 회로의 전력 소비를 이차식적으로 감소시킨다.

낮은 임계 전압 V_t 가 디지털 애플리케이션에서 높은 스위칭 속도를 의미하기는 하나 큰 폭의 누설 증가가 상당한 정지 전력 소비를 추가한다. 바로 이러한 이유에서 전원 전압이 낮아지더라도 V_t 가 줄어들지 않는다. 예를 들어서 전원 전압이 65nm에서는 1.2V였으나 40nm에서는 1.1V이다. 그러므로 V_t 가 10~20mV밖에 줄어들지 않은 것이다.

전원 전압이 낮아지고 V_t 가 거의 변동이 없으면 헤드룸을 감소시키므로 일부 아날로그 디자인에서 문제를 일으킬 수 있다. 낮아진 헤드룸은 허용 가능한 전력 소비로 신호 무결성을 유지하는 것을 어렵게 하며, 트라이오드 구역의 트랜지스터 때문에 바이어스 회로와 증폭기의 캐스코드 구조가 작동하지 못한다. 그럼으로써 다음과 같은 결과를 야기한다.

- 전류 미러 오차가 바이어스, 속도, 에이징에 있어서 변동을 추가한다.

- 낮은 신호 스윙이 신호대 잡음비(SNR)를 악화시키고 연산 증폭기 이득을 감소시킨다.

- 출력 구동 전압(VOD) 스윙 같은 기타 전류 기반 아날로그 파라미터에 변동을 야기한다.

- 이득

증폭기 이득은 $A_v = G_m/G_{ds}$ 로 표현할 수 있다. 65nm에서 40nm로 축소되면서 G_{ds} 는 증가하는 것으로 나타나나 정규화 G_m 은 거의 비슷한 수준으로 유지되고 있다. 이는 G_m/G_{ds} 나 이득을 악화시킨다. G_{ds} 는 아날로그 디자인에서 매우 중요한 파라미터이다. 이득(G_m/G_{ds}) 이외에도 전류 소스 및 미러가 적절히 작동하기 위해서는 낮은 G_{ds} 가 필요하다. 아날로그 디바이스는 특히 포켓 및 채널 주입의 균형을 이루어서 낮은 G_{ds} 를 유지하도록 설계해야 한다. 이들을 적절히 균형을 이루도록 하지 않으면 G_{ds} 까지 영향을 받을 수 있다. 일반적인 디지털 프로세스에서는 G_{ds} 에 부정적인 영향을 미치지 않으면서 포켓 주입만 조정하는 것이 통상적이다(대다수 파운드리에서 이와 같이 시행).

- 누설

MOSFET은 두 가지 유형의 누설이 있을 수 있다. 소스-드레인 전류 누설은 로직의 정지 전력 소비 증가 때문에 아날로그에서보다는 디지털에서 더 문제가 된다. 아날로그 블록의 트랜지스터는 통상적으로 포화 시에 바이어스되고 소스-드레인 누설이 문제가 되지 않는다. 한 가지 예외는 고속 아날로그 회로의 동적 게이트이다. 누설이 이들 회로가 낮은 주파수로 작동하지 못하도록 한다. 여기에 대한 일부 대처법은 이 저속 한계를 끌어내리는 것이나 그렇게 하면 상단에서 또한 속도 한계를 감소시킨다.

게이트 터널링 전류 누설은 아날로그에 더 심각한 영향을 미친다. 축소된 프로세스 노드로 이전할 때 게이트 누설이 현저히 증가한다. 게이트 산화막 두께가 한 원자 층만큼 감소했을 때 게이트 전류는 약 10배까지 증가한다. 기술적 대응에도 불구하고 아날로그 디자인에서 특히 길이가 긴 트랜지스터에서 게이트 누설이 중요한 고려사항이 되고 있다. 게

이트 누설에 의해서 게이트 잡음이 증가함으로써 지터를 증가시키고 대형(높은 WxL) 디바이스에서 불일치를 증가시킨다. 통상적으로 불일치는 디바이스 면적의 함수로 감소한다. 하지만 게이트 누설이 이러한 일반적인 성질을 상쇄시킨다. 디지털 디자이너는 대체적으로 이들 효과에 대해서 염려할 필요가 없다.

- DSM 효과와 모델

SiGe 및 기타의 스트레인 기술이 65nm 및 40nm 기술 노드에 이용되고 있으며 이후의 기술들에 채택될 것으로 예상된다. 그럼으로써 디바이스 특성이 LOD(length of defusing), WPE(well proximity effect), 폴리 간격 같은 많은 레이아웃의 종속적 요소 함수가 되고 있다.

DSM 효과는 기술 노드들에 대해 새로운 과제들을 야기한다. 트랜지스터 모델링이 정확한 DSM 선포 크기가 되도록 하기 위해서는 지오메트리 추출이 각각의 개별 디바이스들의 주변부와 관련해서 고려해야 한다. 그러한 추출은 모든 DSM 효과를 포괄하고 각각의 디바이스가 상응하게 자신의 성능을 조정한다.

개별 디바이스 성능은 이상적인(레이아웃 전) 모델에서 벗어날 수 있으므로 레이아웃 디자이너가 레이아웃 후 반복 횟수를 줄일 수 있도록 돕기 위해서 복잡한 레이아웃 규칙을 개발해야 한다. 마지막으로, 복잡한 지오메트리 추출은 레이아웃 후 시뮬레이션에 복잡한 모델이 이용되도록 함으로써 시뮬레이션 시간과 아날로그 설계 시간이 길어지도록 한다.

- 불일치

아날로그 디자인에서는 불일치를 고려해야 한다. 통상적으로 디바이스의 면적을 늘리면 불일치가 감소한다. 하지만 앞서 '누설'에서 보았듯이 게이트 누설 증가는 면적을 늘리는 것에 따른 불일치의 향상을 감소시킨다. 불일치와 관련해서 고려해야 할 또 다른 측면은 DSM 프로세스에 포함되는 상세한 디바이스 엔지니어링이다. 변칙적인 불일치 동작을 최소화하기 위해서는 포켓 및 채널 주입의 균형을 이루는 것이

중요하다. 정상적으로는 채널 길이를 늘리면 불일치가 감소한다. 하지만 포켓 주입에 의한 불일치 기여분에 의해서 채널 길이 증가에 의한 불일치 감소가 상쇄된다.

솔루션과 동향

여기서는 DSM 프로세스 노드(40nm 등)의 아날로그 디바이스를 위한 해결책과 동향에 대해서 살펴본다.

- 아날로그 블록을 위한 높은 전압 전압

아날로그 디자인은 크게 정밀 아날로그와 고속 아날로그의 두 부분으로 분류할 수 있다. 전반적으로 아날로그 디자인에 대해서 ITRS는 디지털 로직을 위한 것과 다른 전압 및 산화막을 이용할 것을 제안하고 있다. 높은 전압과 두꺼운 산화막은 정밀 아날로그에 적합하며, 낮은 전압과 얇은 산화막은 고속 아날로그에 적합하다. 알테라는 130nm 기술 노드부터 아날로그 디자인에 이러한 듀얼 기술 기법을 채택하고 있다. 이제 40nm에서는 헤드룸 문제를 해결하기 위해서 더 많은 정밀 아날로그 회로를 높은 전압 전원으로 이전해야 한다.

NML 및 비대칭 디바이스

아날로그 회로는 비공칭 길이(NML) 트랜지스터를 이용한다. 이것은 더 조화로운 V_t , G_m/G_{ds} , 선형성, 기타 관련 지수들을 이용하는 것이다. 혼성신호 디자인에는 최소 채널 길이의 2배~5배에 달하는 트랜지스터가 주로 이용된다. 이러한 동향은 ITRS의 2005년도 판에서 인정하고 있는 것이다. 반도체 회사들이 오히려 혼성신호 형식으로 전환함에 따라서 트랜지스터가 아날로그에 대해서도 최적화되고 있다. 미세 서브마이크론 기술의 아날로그 디자인은 대체적으로 낮은 전압이다. 전체적인 성능을 위해서는 복잡한 아날로그 블록에 높은 V_t 및 낮은 V_t 트랜지스터를 조합하는 것이 유리한 것으로 나타나고 있다.

- FPGA를 위한 아날로그 디바이스

FPGA 내의 혼성신호/아날로그 디자인의 늘어나는 과제

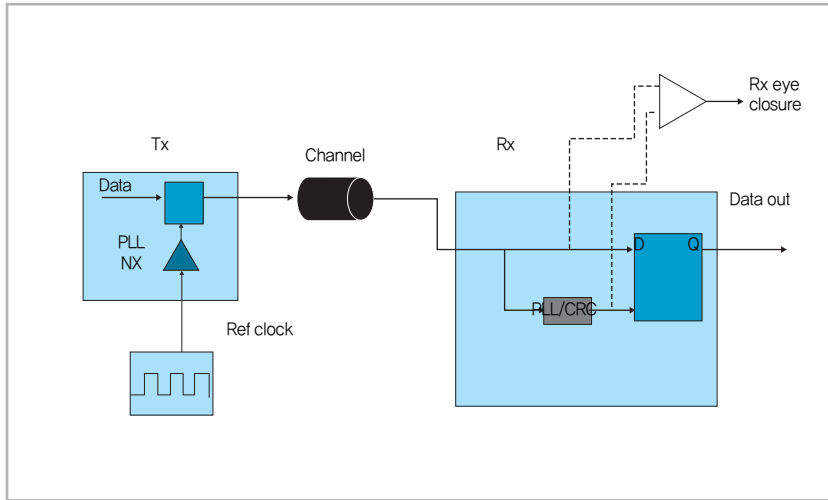


그림 4. 기존의 데이터 중심적 직렬 링크 아키텍처

공통 클럭 아키텍처에 대해, 마지막으로 알테라의 하이브리드 아키텍처에 대해 살펴본다. 이들 각 아키텍처의 장점과 단점을 살펴본다.

데이터 중심적 아키텍처

SERDES 트랜시버가 1Gbps 이상의 데이터 레이트를 위한 주된 트랜시버로 부상했다. 이전의 직렬 링크 아키텍처는 전송 비트스트림에 비트 클럭을 매립하고 리시버를 이용해서 전적으로 수신 비트스트림을 기반으로 비트 클럭을 복구했다.

들을 충족하기 위해서 알테라는 TSMC의 표준 로직 프로세스를 이용해서 아날로그 트랜지스터를 설계했다. V_t 레벨, G_m/G_{ds} , 불일치 특성을 특수하게 조정한 이들 아날로그 트랜지스터는 아날로그 디자인 요구를 성공적으로 충족한다. 이들 트랜지스터는 FPGA의 로직 연산에 의해 결정된 전원 전압으로 아날로그 동작을 위해 충분한 V_t 헤드룸을 제공하도록 설계되었다. 아날로그 V_t 헤드룸은 전원 전압의 비가 되도록 설계된다. 이는 CMOS 캐스코드 전류 전원 등과 같은 아날로그 디자인에 일반적인 트랜지스터 스택을 작동하고 낮은 전력으로 SNR 무결성을 유지하기 위해 필요하다.

이들 트랜지스터의 엔지니어링 시에 높은 이득과 우수한 불일치 동작을 달성하기 위해 특별한 주의를 기울였다. SCE(short channel effect)를 제어하기 위해 첨단 로직 프로세스에 흔히 특수 채널 주입이 채택된다. 이들 SCE 제어 주입은 일반적으로 아날로그가 아니라 로직 연산을 위해 최적화된다. 아날로그 트랜지스터는 고속 SERDES 동작을 위해 최적화된 주입 및 아날로그 파라미터를 이용한다.

아키텍처

이 장에서는 주요 멀티 Gbps 링크 아키텍처에 대해 살펴본다. 먼저 기존의 데이터 중심적 아키텍처에 대해, 그리고

이 아키텍처의 틀에서는 CRC가 수신 데이터로부터 클럭의 주파수와 위상을 복구해야 하며 PLL 타입 CRC가 이러한 요구를 충족하기에 적합하다. PLL을 이차 또는 그보다 높은 차수의 시스템으로 이용해서 비트 클럭의 주파수와 위상을 동시에 복구할 수 있다. 이 유형의 아키텍처를 흔히 데이터 중심적 아키텍처라 하며⁽³⁾⁽⁴⁾ 그림 4에서 보는 바와 같다.

데이터 중심적 아키텍처는 여러 가지 이점이 있다. 두 가지 중요한 이점은 1) 단순하면서 리시버로 데이터와 함께 클럭을 전송할 필요가 없다는 점과 2) PLL CRC를 2차 및 3차 시스템으로 이용할 수 있으므로 지터 추적 및 허용 성능이 40dB/디케이드 또는 60dB/디케이드 지터 추적/허용으로 우수하다는 점이다. 첫 번째 이점은 테스트 용이성과 칩-칩(최대 1미터), 보드-보드(최대 10미터), 시스템-시스템(최대 1킬로미터)의 다양한 채널 길이의 여러 측면에서 유리하다. 다양한 채널 도달 거리는 다양한 트랜시버 애플리케이션에 적합하다. 두 번째 이점은 트랜스미터에 상대적으로 높은 저주파 지터 예산을 가능하게 하므로 경제성 있는 트랜스미터 디자인과 저비용 레퍼런스 클럭의 사용을 가능하게 한다. 아날로그 PLL CRC를 이용하는 데이터 중심적 아키텍처의 단점은 비교적 넓은 실리콘 면적과 긴 동기화 시간이다. 하이브리드 디지털 지원 PLL CRC를 이용함으로써 일부 제한점을 제거할 수 있다. 이에 대해서는 다음에 나올 알테라의 하이

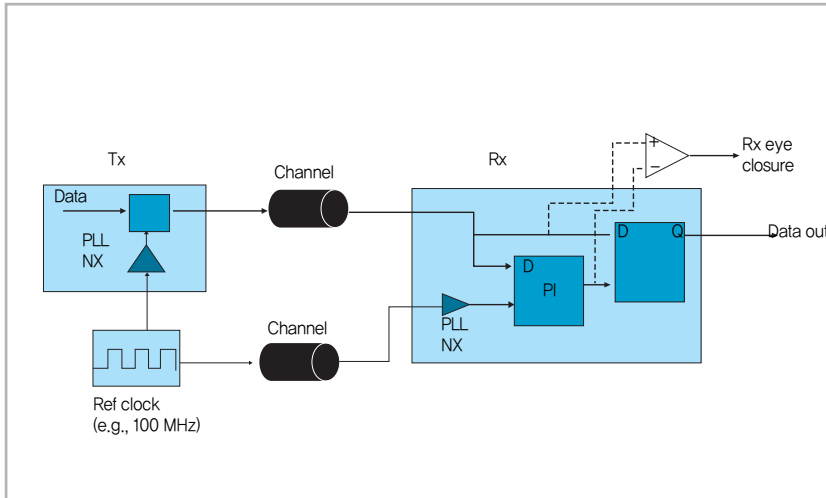


그림 5. 공통 클럭 직렬 링크 아키텍처

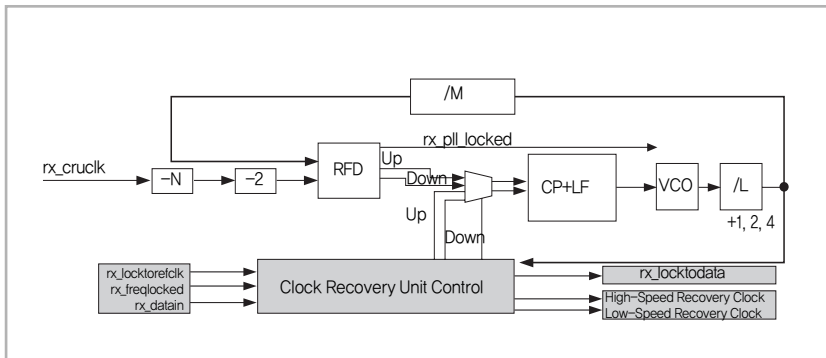


그림 6. Stratix IV GX FPGA의 디지털 지원 하이브리드 직렬 링크 아키텍처

단순한 CRC를 이용할 수 있다. PI가 데이터와 클럭 간의 위상이 빠르거나 느슨한지 판단하고 특정한 시간 간격에 걸쳐서 이들을 일치시킨다. 그러므로 PI CRC는 대략적으로 일차 FIR과 동일하다.

그림 5에서 보듯이 공통 클럭 아키텍처⁽⁵⁾⁽⁶⁾의 주요한 장점은 1) 트랜스미터와 리시버에 이용되는 레퍼런스 클럭의 위상 상관관계를 유지함으로써 저가형의 비교적 저렴한 레퍼런스 클럭을 이용할 수 있도록 한다는 것과 2) 디지털 기반이므로 동기화 시간이 짧다는 것이다. 단점은 CRC를 위해 클럭 및 데이터 입력을 필요로 하는 훨씬 복잡한 아키텍처이고, 추가적인 복잡한 테스트 요구를 필요로 하고, 리시버 CRC에 대해 지터 추적 및 허용 성능(20dB/디케이드)이 떨어진다는 것이다. 또한 공통 클럭 아키텍처는 근거리 컴퓨터 I/O 애플리케이션으로 제한되므로 애플리케이션이 제

브리드 아키텍처)에서 설명한다.

한적이다.

공통 클럭 아키텍처

SERDES 트랜시버는 처음에 네트워크 통신 분야(SONET, GbE 등)에서 개발되고 이용되다가 곧바로 컴퓨터 I/O 통신 인터페이스(PCIe 등)에 채택되었다. 컴퓨터 I/O의 짧은 거리 요구(통상적으로 10미터 이내)에 의해서 트랜스미터 및 리시버로 저주파 레퍼런스 클럭을 전송하고 그런 다음 곱셈 PLL을 통해 데이터를 전송하고 수신할 수 있도록 이를 in-rate 클럭으로 변환할 수 있다. 리시버에서 in-rate 클럭을 이용함으로써 클럭 복구가 위상만 복구하면 되므로 기본적으로 'bang-bang' 위상 검출기인 PI(phase interpolator) 같은

알테라의 하이브리드 아키텍처

Stratix IV GX 아키텍처는 기존의 데이터 중심적 아키텍처를 향상시켜서 2개의 동작 모드를 가능하게 하고 CRC에 대해 디지털 제어를 가능하게 한 것이다⁽⁷⁾. 2개의 동작 모드는 lock-to-data와 lock-to-clock으로서 자동으로 또는 수동으로 이용할 수 있다. 일반적인 활용 모드는 레퍼런스 클럭을 입력으로 이용하고 원하는 주파수로 동기화한 다음에 이 입력을 데이터 신호로 전환해서 위상으로 동기화하는 것이다. 최종적으로 주파수 및 위상 일치 비트 클럭을 복구한다. 이 하이브리드 아키텍처는 데이터 중심적 아키텍처의 대

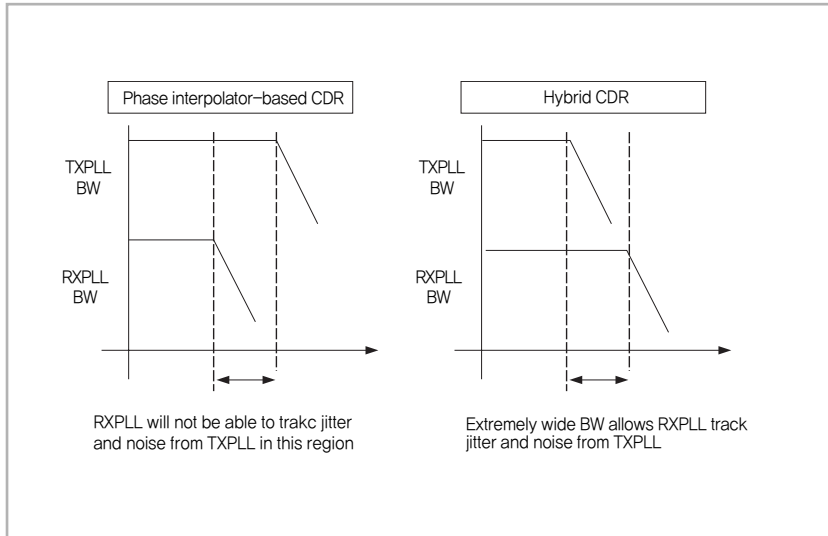


그림 7. 하이브리드와 공통 클럭 아키텍처의 Stratix IV GX PLL 대역폭 설정 비교

부분의 이점을 유지하면서 더 우수한 동기화 시간, 전력 소비 최적화, 지터 허용 및 전이 밀도를 제공한다. 이 아키텍처의 개략도는 그림 6에서 보는 것과 같다.

다른 링크 아키텍처와 비교해서 Stratix IV GX FPGA의 하이브리드 아키텍처는 트랜스미터 및 레퍼런스 클럭으로부터 지터를 필터링하고 감소시키는 성능이 향상됨으로써 링크 시스템에 가장 우수한 BER 성능을 가능하게 한다. 하이브리드 아키텍처에서는 레퍼런스 클럭이 CRC의 초기 학습 위상에만 이용되고 실제 데이터 복구 위상에는 이용되지 않는다. 그러므로 레퍼런스 클럭 지터가 시스템 BER에 전혀 기여하지 않으므로 시스템 디자이너에게 시스템 디자인을 위해 상당한 지터 마진을 남겨둔다. 반면에 공통 클럭 아키텍처는 직접적으로 클럭 및 데이터 복구를 위해 레퍼런스 클럭을 이용하므로 레퍼런스 지터가 시스템 BER에 기여하고 시스템 지터 예산을 소비한다. 기존의 데이터 중심적 아키텍처는 CRC가 비트 클럭을 일절 복구하지 않거나 아니면 리시버 데이터 입력이 과도한 지터일 때 수신 데이터로 동기화하는 데 긴 시간이 소요될 수 있으나, 하이브리드 아키텍처는 데이터를 복구할 때 주파수 동기화 비트 클럭이 이미 복구되어 있으므로 대체적으로 그와 같은 문제들을 일으키지 않는다.

뿐만 아니라 하이브리드 아키텍처는 데이터 복구를 위해

서 레퍼런스 클럭을 이용하지 않으므로 레퍼런스 적합성 테스트를 실시할 필요가 없다. 그러므로 시스템 디자인을 간소화하고 관련 비용을 절감한다. 이와 달리 공통 클럭 아키텍처를 위해서는 레퍼런스 클럭 적합성 테스트가 요구된다.

마지막으로 하이브리드 아키텍처는 디지털 지원 디자인에 의해서 트랜스미터에서 클럭 생성 PLL과 리시버에서 클럭 복구 PLL의 대역폭을 독립적으로 설정할 수 있으므로 리시버 PLL CRC 대역폭이 트랜스미터 PLL보다 훨씬 넓다(그림

7 참조). 결과적으로 트랜스미터의 고주파 지터는 PLL에 의해 감소되고 트랜스미터의 저주파 지터는 리시버 CRC에 의해 감소되므로 시스템 BER에 최소한의 지터를 기여한다. 이와 달리 공통 클럭 아키텍처는 리시버 PLL 대역폭을 트랜스미터 PLL보다 넓게 설정할 수 있는 유연성이 없으므로 (8)(9) 트랜스미터로부터 지터가 시스템 BER에 기여한다. (8)(9)

참고 문헌

1. ITRS roadmap, 2007 Edition, www.itrs.net/Links/2007ITRS/Home2007.htm
2. PCIe Standard: PCI-SIG, www.pcisig.com/specifications/pciexpress
3. Hyper Transport Standard: www.hypertransport.org/index.cfm
4. TSMC Advanced Technology Roadmap: www.tsmc.com/download/english/a05_literature/2_Advanced_Technology_Overview_Brochure_2007.pdf
5. M. Li, A. Martwick, G. Talbot, J. Wlstrup, "Transfer Functions for the Reference Clock Jitter in a Serial Link: Theory and Applications," ITC/IEEE, 2004.
6. M. Li, "Jitter and Signaling Test for High-Speed Links," An Invited Paper, CICC/IEEE, 2006.
7. Stratix IV GX and HardCopy IV GX Transceiver Overview: www.altera.com/products/devices/stratix-fpgas/stratix-iv/transceivers/stxiv-transceivers.html
8. PCI Express 1.1 Base Specification, 2005: www.pcisig.com/specifications/pciexpress/base
9. PCI Express 2.0 Base Specification, 2007: www.pcisig.com/specifications/pciexpress/base